



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0028175
Application Number

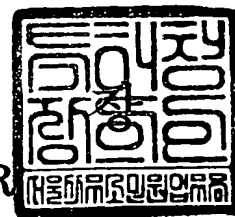
출원 년 월 일 : 2003년 05월 02일
Date of Application MAY 02, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.05.02
【국제특허분류】	H01L
【발명의 명칭】	커맨드 신호와 어드레스 신호의 고속 전송이 가능한 메모리 시스템
【발명의 영문명칭】	Memory system capable of transporting command and address signals fast
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이정배
【성명의 영문표기】	LEE, Jung Bae
【주민등록번호】	670227-1046533
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 523-302
【국적】	KR
【발명자】	
【성명의 국문표기】	정회주
【성명의 영문표기】	CHUNG, Hoe Ju
【주민등록번호】	711003-1038034

【우편번호】 449-905
【주소】 경기도 용인시 기흥읍 상갈리 454 주공5단지 506동 1502호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 2 면 2,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 18 항 685,000 원
【합계】 716,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

커맨드 신호와 어드레스 신호의 고속 전송이 가능한 메모리 시스템이 개시된다. 상기 기술적 과제를 달성하기 위한 본 발명에 따른 메모리 시스템은 메인보드 및 상기 메인보드에 직접 연결되는 복수개의 메모리 장치들을 각각 구비하는 n (n 은 자연수)개의 메모리 랭크들을 구비한다. 상기 n 개의 메모리 랭크들은 각각 상기 메모리 장치들로 제 1 신호를 고속으로 전송하기 위한 제 1 버퍼부를 구비하는 것을 특징으로 한다. 상기 제 1 신호는 커맨드 신호 및 어드레스 신호이고 상기 제 1 버퍼부는 상기 제 1 신호를 수신하는 레지스터를 구비한다. 상기 제 1 버퍼부는 클럭 신호를 수신하는 위상 동기 루프를 더 구비하는 것을 특징으로 한다. 본 발명에 따른 메모리 시스템은 메인보드에 메모리 장치를 직접 연결하고 메모리 장치를 제어하는 버퍼부를 둬으로써 스템브에 의한 메모리 시스템의 동작 속도의 저하를 방지할 수 있는 장점이 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

커맨드 신호와 어드레스 신호의 고속 전송이 가능한 메모리 시스템{Memory system capable of transporting command and address signals fast}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1(a)는 메모리 모듈을 구비하는 일반적인 메모리 시스템을 나타내는 도면이다.

도 1(b)는 도 1(a)의 메모리 시스템을 위에서 본 도면이다.

도 2는 본 발명의 제 1 실시예에 따른 메모리 시스템을 나타내는 도면이다.

도 3은 도 2의 메모리 시스템을 옆에서 본 도면이다.

도 4는 본 발명의 제 2 실시예에 따른 메모리 시스템을 나타내는 도면이다.

도 5는 도 4의 메모리 시스템을 옆에서 본 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 메모리 시스템에 관한 것으로서, 특히 커맨드 신호와 어드레스 신호를 고속으로 전송할 수 있는 구조를 가지는 메모리 시스템에 관한 것이다.

- <9> 최근 들어 대용량의 메모리를 구비하는 메모리 시스템의 필요가 점점 증가됨에 따라 많은 수의 메모리 칩을 장착한 메모리 모듈을 메인보드에 연결하는 메모리 구조가 많이 사용되고 있다.
- <10> 도 1(a)는 메모리 모듈을 구비하는 일반적인 메모리 시스템을 나타내는 도면이다.
- <11> 메인보드(MB)에 소켓(SKT1, SLT2 ~ SKTm)들이 장착되고 각각의 소켓(SKT1, SLT2 ~ SKTm)마다 대응되는 메모리 모듈(MD1, MD2 ~ MDm)이 연결된다. 메모리 모듈(MD1, MD2 ~ MDm)에는 메모리 칩(MCHIP)이 장착된다. 도 1(a)의 메모리 모듈(MD1, MD2 ~ MDm) 구조를 DIMM(Dual In Memory Module)이라고 한다.
- <12> 또한 메인보드(MB)에는 메모리 모듈(MD1, MD2 ~ MDm)로 인가되는 신호들을 제어하는 제어부(110)가 장착된다. 제어부(110)는 여러 가지 신호들을 제어하지만 도 1(a)에서는 특히 어드레스 신호(ADD)와 커맨드 신호(CMD)만이 도시되어 있다.
- <13> 도 1(b)는 도 1(a)의 메모리 시스템을 위에서 본 도면이다.
- <14> 메모리 모듈(MD1, MD2 ~ MDm)에 복수개의 메모리 칩(MCHIP)이 장착되어 있고 제어부(110)로부터 메모리 모듈(MD1, MD2 ~ MDm)로 어드레스 신호(ADD) 및 커맨드 신호(CMD)가 인가된다. 메모리 모듈(MD1, MD2 ~ MDm)은 어드레스 신호(ADD)와 커맨드 신호(CMD)를 버퍼부(BFR1, BFR2 ~ BFRm)를 통하여 수신한다.
- <15> 버퍼부(BFR1, BFR2 ~ BFRm)는 대응되는 메모리 모듈(MD1, MD2 ~ MDm)에 장착되어 있으며 내부에 어드레스 신호(ADD)와 커맨드 신호(CMD)를 수신하는 레지스터(미도시)와 위상 동기 루프(미도시)를 구비한다. 커맨드 신호(CMD) 및 어드레스 신호(ADD)는 메모리 모듈(MD1, MD2 ~ MDm)의 버퍼부(BFR1, BFR2 ~ BFRm)로 인가된 후

메모리 모듈(MD1, MD2 ~ MDm)에 장착된 메모리 칩(MCHIP)으로 인가된다. 그러나 DQ 버스(미도시)는 메모리 모듈(MD1, MD2 ~ MDm)의 각각의 메모리 칩(MCHIP)으로 직접 인가된다.

- <16> 그런데, 도 1에 도시된 것과 같은 메모리 시스템(100) 구조는 메모리 모듈(MD1, MD2 ~ MDm)의 스템브(stub)(STB1, STB2 ~ STBm)에 의하여 커맨드 신호(CMD)와 어드레스 신호(ADD) 및 데이터가 고속으로 메모리 모듈(MD1, MD2 ~ MDm)로 전송될 수 없다.
- <17> 스템브(STB1, STB2 ~ STBm)는 어드레스/커맨드 버스가 소켓(SKT1, SLT2 ~ SKTm)을 거쳐서 메모리 모듈(MD1, MD2 ~ MDm)의 메모리 칩으로 연결되는 짧은 부분을 나타낸다. 또는 DQ 버스(미도시)가 메모리 모듈(MD1, MD2 ~ MDm)의 메모리 칩(MCHIP)으로 연결되는 짧은 부분을 나타낸다.
- <18> 마지막 메모리 모듈(MDm)의 스템브(STBm)를 제외한 나머지 스템브(STB1, STB2)들은 스템브들(STB1, STB2)을 통하여 메모리 칩(MCHIP)으로 전송되는 어드레스 신호(ADD)나 커맨드 신호(CMD) 또는 데이터의 속도를 제한한다. 그러나 마지막 메모리 모듈(MDm)의 스템브(STBm)는 어드레스 신호(ADD)나 커맨드 신호(CMD) 또는 데이터의 속도를 제한하지 않는다. 마지막 메모리 모듈(MDm)의 스템브(STBm)는 버스로부터 분기되지 않기 때문이다.
- <19> 이와 같이 스템브(STB1, STB2 ~ STBm)에 의한 어드레스 신호(ADD) 및 커맨드 신호(CMD)의 속도 저하를 방지하기 위하여 메모리 모듈(MD1, MD2 ~ MDm)은 버퍼부(BFR1, BFR2 ~ BFRm)를 구비하는 것이다. 버퍼부(BFR1, BFR2 ~ BFRm)는 내부에 레지스터(미도시)를 구비하여 어드레스 신호(ADD) 및 커맨드 신호(CMD)의 속도가 저하되는 것을 방지한다.
- <20> 그러나 버퍼부(BFR1, BFR2 ~ BFRm)를 구비하는 것만으로는 DQ 버스의 스템브(미도시)에 의한 데이터의 속도 저하 문제를 해결할 수 없으며 소켓(SKT1, SLT2 ~ SKTm)의 기생 인덕턴스/

커패시턴스 성분(parasitic L/C)도 어드레스 신호(ADD) 및 커맨드 신호(CMD)의 속도나 데이터의 속도를 저하시키는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명이 이루고자하는 기술적 과제는 커맨드 신호와 어드레스 신호를 고속으로 수신하여 고속동작이 가능한 구조를 가지는 메모리 시스템을 제공하는데 있다.

【발명의 구성 및 작용】

<22> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 메모리 시스템은 메인보드 및 상기 메인보드에 직접 연결되는 복수개의 메모리 장치들을 각각 구비하는 n (n 은 자연수)개의 메모리 랭크들을 구비한다. 상기 n 개의 메모리 랭크들은 각각 제 1 신호를 버퍼링하여 상기 메모리 장치들로 인가하며 상기 메인보드에 직접 연결되는 제 1 버퍼부를 구비하는 것을 특징으로 한다.

<23> 상기 제 1 신호는 커맨드 신호 및 어드레스 신호이고 상기 제 1 버퍼부는 상기 제 1 신호를 수신하는 레지스터를 구비한다. 상기 제 1 버퍼부는 클럭 신호를 수신하고 클럭 신호에 동기된 내부 클럭 신호를 발생하는 동기부를 더 구비하는 것을 특징으로 한다. 동기부는 위상 동기 루프 또는 지연 동기 루프일 수 있다.

<24> 상기 메모리 시스템은 복수개의 메모리 장치들이 장착된 m (m 은 자연수)개의 메모리 모듈들을 더 구비하며, 상기 메모리 모듈들은 대응되는 커넥터를 통하여 상기 메인보드에 연결되고, 상기 m 개의 메모리 모듈들은 각각 제 1 신호를 버퍼링하여 상기 메모리 장치들로 인가하는 제 2 버퍼부를 구비한다.

- <25> 상기 메모리 시스템은 제 1 신호를 발생하는 제어부를 더 구비한다. 상기 n 개의 메모리 랭크들은 상기 제어부와 상기 m 개의 메모리 모듈들 사이에 배치되는 것을 특징으로 한다.
- <26> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 메모리 시스템은 메인보드, n 개의 메모리 랭크들 및 m (m 은 자연수)개의 메모리 모듈들을 구비한다.
- <27> n (n 은 자연수)개의 메모리 랭크들은 상기 메인보드에 직접 연결되는 복수개의 메모리 장치들을 각각 구비한다. m (m 은 자연수)개의 메모리 모듈들은 대응되는 커넥터를 통하여 상기 메인보드에 연결되며, 복수개의 메모리 장치들이 장착된다. 상기 n 개의 메모리 랭크들 및 상기 m 개의 메모리 모듈들은 각각 제 1 신호를 버퍼링하여 상기 메모리 장치들로 인가하는 버퍼부를 구비하는 것을 특징으로 한다.
- <28> 메모리 랭크가 구비하는 메모리 장치들의 수와 상기 메모리 모듈이 구비하는 메모리 장치들의 수가 동일하다.
- <29> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <30> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <31> 도 2는 본 발명의 제 1 실시예에 따른 메모리 시스템을 나타내는 도면이다.
- <32> 도 2를 참조하면, 메모리 시스템(200)은 메인보드(MB) 및 메인보드(MB)에 직접 연결되는 복수개의 메모리 장치들(MCHIP)을 각각 구비하는 n (n 은 자연수)개의 메모리 랭크들(MR1, MR2 ~ MRn)을 구비한다.

- <33> n 개의 메모리 랭크들(MR1, MR2 ~ MRn)은 각각 제 1 신호(S1)를 버퍼링하여 메모리 장치들(MCHIP)로 인가하는 제 1 버퍼부(BFR1, BFR2 ~ BFRn)를 구비한다. 제 1 신호(S1)는 커맨드 신호(CMD) 및 어드레스 신호(ADD)이다.
- <34> 도 3은 도 2의 메모리 시스템을 옆에서 본 도면이다.
- <35> 이하, 도 2 및 도 3을 참조하여 본 발명의 제 1 실시예에 따른 메모리 시스템의 동작이 상세히 설명된다.
- <36> 도 2에서 알 수 있듯이, 메모리 장치들(MCHIP)은 모듈에 장착되지 아니하고 메인보드(MB)에 직접 장착된다. 종래에 하나의 메모리 모듈에 장착되는 메모리 장치들(MCHIP)과 동일한 수의 메모리 장치들이 하나의 메모리 랭크(MR1, MR2 ~ MRn)를 구성한다.
- <37> 본 발명의 메모리 랭크(MR1, MR2 ~ MRn)는 각각 제 1 버퍼부(BFR1, BFR2 ~ BFRn)를 구비한다. 제 1 버퍼부(BFR1, BFR2 ~ BFRn)도 메인보드(MB)에 직접 장착된다.
- <38> 메모리 장치(MCHIP)가 메인보드(MB)에 직접 연결되므로 종래와 같은 스터브가 발생되지 아니하며 따라서 스터브에 의한 신호 속도의 저하 문제가 발생되지 않는다.
- <39> 제 1 버퍼부(BFR1, BFR2 ~ BFRn)는 제 1 신호(S1)를 수신하는 레지스터(미도시)를 구비한다. 또한 제 1 버퍼부(BFR1, BFR2 ~ BFRn)는 클럭 신호(미도시)를 수신하고 클럭 신호(미도시)에 동기된 내부 클럭 신호(미도시)를 발생하는 동기부(미도시)를 더 구비한다.
- <40> 동기부(미도시)는 위상 동기 루프(Phase Locked Loop) 또는 지연 동기 루프(Delay Locked Loop)일 수 있다. 제 1 버퍼부(BFR1, BFR2 ~ BFRn)에서 버퍼링된 제 1 신호(S1)는 위상 동기 루프(미도시)에 의하여 출력된 내부 클럭 신호(미도시)에 동기되어 메모리 장치들(MCHIP)로 인가된다.

- <41> 위상 동기 루프(미도시)는 각각의 메모리 랭크(MR1, MR2 ~ MRn)의 제 1 버퍼부(BFR1, BFR2 ~ BFRn)로 인가된 제 1 신호(S1)를 각각의 메모리 랭크(MR1, MR2 ~ MRn)에 장착된 메모리 장치들(MCHIP)로 동시에 인가되도록 하는 기능을 한다.
- <42> 또한 클럭 신호(미도시)도 위상 동기 루프(미도시)에 의하여 위상이 조절되어 각각의 메모리 장치들(MCHIP)로 동시에 인가될 수 있다.
- <43> 제 1 버퍼부(BFR1, BFR2 ~ BFRn)는 제 1 신호(S1) 및 클럭 신호(미도시)를 수신하고 다음 메모리 랭크의 제 1 버퍼부로 인가한다. n 개의 메모리 랭크(MR1, MR2 ~ MRn)의 각각의 제 1 버퍼부(BFR1, BFR2 ~ BFRn)는 직렬 연결된다.
- <44> 메모리 시스템(200)은 제 1 신호(S1)를 발생하는 제어부(210)를 더 구비한다. 제어부(210)도 메인보드(MB)에 직접 장착된다. 도 2와 같은 메모리 시스템(200)은 스테브에 의한 커맨드 신호나 어드레스 신호의 전송 속도 저하 문제를 해결할 수 있다. 또한 각각의 메모리 랭크(MR1, MR2 ~ MRn)마다 제 1 버퍼부(BFR1, BFR2 ~ BFRn)를 구비하여 커맨드 신호 및 어드레스 신호의 고속전송이 가능해진다.
- <45> 메모리 시스템(200)은 복수개의 메모리 장치들이 장착된 m(m 은 자연수)개의 메모리 모듈들(미도시)을 더 구비할 수 있다. 메모리 모듈들(미도시)은 대응되는 커넥터(미도시)를 통하여 메인보드(MB)에 연결된다. m 개의 메모리 모듈들(미도시)은 각각 제 1 신호(S1)를 버퍼링하여 메모리 장치들(미도시)로 인가하는 제 2 버퍼부(미도시)를 구비한다.
- <46> n 개의 메모리 랭크들(MR1, MR2 ~ MRn)은 제어부(210)와 m 개의 메모리 모듈들(미도시) 사이에 배치된다. 메인보드(MB)에 메모리 장치들(MCHIP)이 직접 장착되는 메모리 랭크들(MR1, MR2 ~ MRn)과 메모리 모듈들(미도시)을 모두 구비하는 메모리 시스템에 관한 설명은 후술된다.

- <47> 도 4는 본 발명의 제 2 실시예에 따른 메모리 시스템을 나타내는 도면이다.
- <48> 도 5는 도 4의 메모리 시스템을 옆에서 본 도면이다.
- <49> 도 4 및 도 5를 참조하면, 본 발명의 제 2 실시예에 따른 메모리 시스템(400)은 메인보드(MB), n 개의 메모리 랭크들(MR1 ~ MRn) 및 m (m 은 자연수)개의 메모리 모듈들(MD1 ~ MDm)을 구비한다.
- <50> n (n 은 자연수)개의 메모리 랭크들(MR1 ~ MRn)은 메인보드(MB)에 직접 연결되는 복수개의 메모리 장치들(MCHIP)을 각각 구비한다. m (m 은 자연수)개의 메모리 모듈들(MD1 ~ MDm)은 대응되는 커넥터(CNCT1 ~ CNCTm)를 통하여 메인보드(MB)에 연결되며, 복수개의 메모리 장치들(MCHIP)이 장착된다.
- <51> n 개의 메모리 랭크들(MR1 ~ MRn) 및 m 개의 메모리 모듈들(MD1 ~ MDm)은 각각 제 1 신호(S1)를 버퍼링하여 메모리 장치들(MCHIP)로 인가하는 버퍼부(BFR1~ BFRn, BFRD1 ~ BFRDm)를 구비한다.
- <52> 이하, 도 4 및 도 5를 참조하여 본 발명의 제 2 실시예에 따른 메모리 시스템의 동작이 설명된다.
- <53> 메모리 시스템(400)은 도 2의 메모리 시스템(200)과 같이 메인보드(MB)에 직접 연결되는 메모리 장치들(MCHIP)을 구비하는 메모리 랭크들(MR1 ~ MRn)과 메모리 장치들(MCHIP)이 장착되는 m 개의 메모리 모듈(MD1 ~ MDm)을 함께 구비한다.
- <54> 즉, 스택에 의한 동작 속도의 저하를 방지하기 위하여 메모리 장치들(MCHIP)을 직접 메인보드(MB)에 장착함과 동시에 메모리 모듈(MD1 ~ MDm)도 메인보드(MB)에 연결한다. 메인보

드(MB)에 메모리 모듈(MD1 ~ MDm)을 m 개 연결할 수 있으나 하나의 메모리 모듈(MD1 ~ MDm)만을 메인보드(MB)에 연결하는 것이 바람직하다.

- <55> 메모리 시스템(400)은 제 1 신호(S1)를 발생하는 제어부(410)를 더 구비할 수 있다. 그리고, 제어부(410)와 메모리 랭크들(MR1 ~ MRn) 사이의 거리는 제어부(410)와 메모리 모듈들(MD1 ~ MDm) 사이의 거리보다 작다. 즉, n 개의 메모리 랭크들(MR1 ~ MRn)은 제어부(410)와 m 개의 메모리 모듈들(MD1 ~ MDm) 사이에 배치된다.
- <56> 다시 설명하면, m 개의 메모리 모듈들(MD1 ~ MDm)이 구비하는 각각의 버퍼부(BFR1~ BFRn, BFRD1 ~ BFRDm)는 제어부(410)에서 발생하는 제 1 신호(S1)를 수신하여 다음 버퍼부로 인가하기 위하여 직렬로 배치되며, 메모리 랭크들(MR1 ~ MRn)이 구비하는 버퍼부(BFR1 ~ BFRn)가 메모리 모듈들(MD1 ~ MDm)이 구비하는 버퍼부(BFRD1 ~ BFRDm)보다 먼저 제 1 신호(S1)를 수신한다.
- <57> n 개의 메모리 랭크들(MR1 ~ MRn)은 제어부(410)와 메모리 모듈들(MD1 ~ MDm) 사이에 배치되고 하나의 메모리 모듈(MD1)만이 메인보드(MB)에 장착되면 메모리 모듈(MD1)은 스테브를 갖지 아니한다. 따라서, 메모리 시스템(400)은 제 1 신호(S1), 즉 어드레스 신호 및 커맨드 신호를 고속으로 각각의 메모리 장치들(MCHIP)로 전송할 수 있다.
- <58> 메모리 시스템(400)이 두 개 이상의 메모리 모듈(MD1 ~ MDm)을 구비하더라도 메모리 랭크들(MR1 ~ MRn)이 구비하는 메모리 장치들(MCHIP)은 스테브를 구비하지 아니하므로 제 1 신호(S1)를 수신하는 속도는 향상될 수 있다.
- <59> 각각의 메모리 랭크(MR1 ~ MRn)나 메모리 모듈(MD1 ~ MDm)은 버퍼부(BFR1~ BFRn, BFRD1 ~ BFRDm)를 구비하며 버퍼부(BFR1~ BFRn, BFRD1 ~ BFRDm)는 도 2의 제 1 버퍼부(BFR1~ BFRn,

BFRD1 ~ BFRDm)와 동일한 기능을 하며 동일한 구조를 가진다. 따라서 상세한 설명은 생략한다.

<60> 메모리 랭크(MR1 ~ MRn)가 구비하는 메모리 장치들(MCHIP)의 수와 메모리 모듈(MD1 ~ MDm)이 구비하는 메모리 장치들의 수는 동일하다.

<61> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<62> 상술한 바와 같이 본 발명에 따른 메모리 시스템은 메인보드에 메모리 장치를 직접 연결하고 메모리 장치를 제어하는 버퍼부를 뒀으로써 스터브에 의한 메모리 시스템의 동작 속도의 저하를 방지할 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

메인보드 ; 및

상기 메인보드에 직접 연결되는 복수개의 메모리 장치들을 각각 구비하는 n (n 은 자연수)개의 메모리 랭크들을 구비하고,

상기 n 개의 메모리 랭크들은 각각,

제 1 신호를 버퍼링하여 상기 메모리 장치들로 인가하며 상기 메인보드에 직접 연결된 제 1 버퍼부를 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 2】

제 1항에 있어서, 상기 제 1 신호는,

커맨드 신호 및 어드레스 신호이고,

상기 제 1 버퍼부는 상기 제 1 신호를 수신하는 레지스터를 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 3】

제 1항에 있어서, 상기 제 1 버퍼부는,

클럭 신호를 수신하고 상기 클럭 신호에 동기된 내부 클럭 신호를 발생하는 동기부를 더 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 4】

제 3항에 있어서, 상기 동기부는,

위상 동기 루프(PLL)인 것을 특징으로 하는 메모리 시스템.

【청구항 5】

제 3항에 있어서, 상기 동기부는

자연 동기 루프인 것을 특징으로 하는 메모리 시스템.

【청구항 6】

제 1항에 있어서, 상기 메모리 시스템은,

복수개의 메모리 장치들이 장착된 m (m 은 자연수)개의 메모리 모듈들을 더 구비하며,
상기 메모리 모듈들은 대응되는 커넥터를 통하여 상기 메인보드에 연결되고,

상기 m 개의 메모리 모듈들은 각각,

제 1 신호를 버퍼링하여 상기 메모리 장치들로 인가하는 제 2 버퍼부를 구비하는 것을
특징으로 하는 메모리 시스템.

【청구항 7】

제 6항에 있어서, 상기 제 2 버퍼부는,

클럭 신호를 수신하고 상기 클럭 신호에 동기된 내부 클럭 신호를 발생하는 동기부를 더
구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 8】

제 6항에 있어서,

상기 제 1 신호를 발생하는 제어부를 더 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 9】

제 8항에 있어서, 상기 n 개의 메모리 랭크들은,

상기 제어부와 상기 m 개의 메모리 모듈들 사이에 배치되는 것을 특징으로 하는 메모리 시스템.

【청구항 10】

메인보드 ;

상기 메인보드에 직접 연결되는 복수개의 메모리 장치들을 각각 구비하는 n (n 은 자연수)개의 메모리 랭크들 ; 및

대응되는 커넥터를 통하여 상기 메인보드에 연결되며, 복수개의 메모리 장치들이 장착된 m (m 은 자연수)개의 메모리 모듈들을 구비하고,

상기 n 개의 메모리 랭크들 및 상기 m 개의 메모리 모듈들은 각각,

제 1 신호를 버퍼링하여 상기 메모리 장치들로 인가하며 상기 메인보드에 직접 연결되는 버퍼부를 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 11】

제 10항에 있어서, 상기 제 1 신호는,

커맨드 신호 및 어드레스 신호이고,

상기 버퍼부는 상기 제 1 신호를 수신하는 레지스터를 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 12】

제 10항에 있어서, 상기 버퍼부는,

클럭 신호를 수신하고 클럭 신호에 동기된 내부 클럭 신호를 발생하는 동기부를 더 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 13】

제 12항에 있어서, 상기 동기부는,

위상 동기 루프(PLL) 또는 지연 동기 루프(DLL)인 것을 특징으로 하는 메모리 시스템.

【청구항 14】

제 10항에 있어서,

상기 제 1 신호를 발생하는 제어부를 더 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 15】

제 14항에 있어서, 상기 제어부와 상기 메모리 랭크들 사이의 거리는,

상기 제어부와 상기 메모리 모듈들 사이의 거리보다 작은 것을 특징으로 하는 메모리 시스템.

【청구항 16】

제 14항에 있어서, 상기 n 개의 메모리 랭크들은,

상기 제어부와 상기 m 개의 메모리 모듈들 사이에 배치되는 것을 특징으로 하는 메모리 시스템.

【청구항 17】

제 12항에 있어서, 상기 n 개의 메모리 랭크들 및 상기 m 개의 메모리 모듈들이 구비하는 각각의 버퍼부는,

상기 어드레스 및 커맨드 신호를 수신하여 상기 레지스터에 저장한 후, 상기 동기부에서 출력된 상기 내부 클럭 신호에 동기되어 상기 어드레스 및 커맨드 신호들을 대응되는 메모리 장치들로 전송하는 것을 특징으로 하는 메모리 시스템.

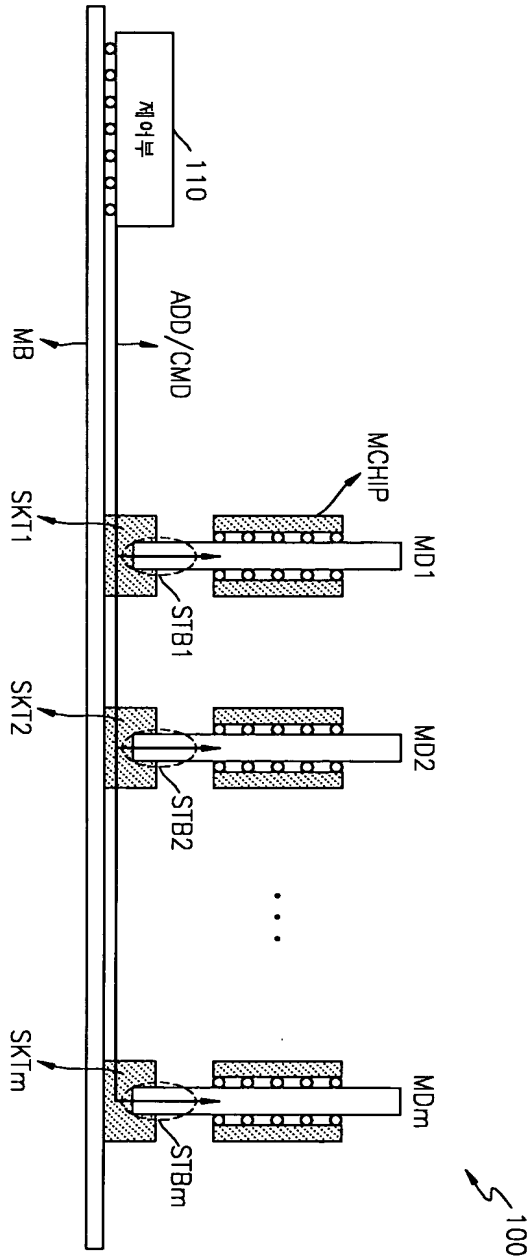
【청구항 18】

제 10항에 있어서,

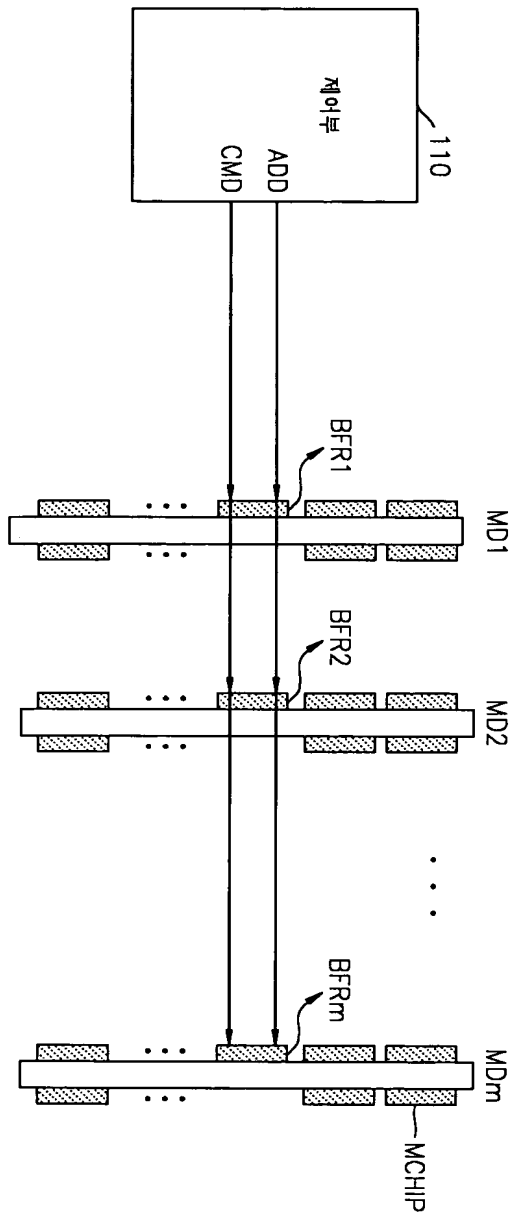
상기 메모리 랭크가 구비하는 메모리 장치들의 수와 상기 메모리 모듈이 구비하는 메모리 장치들의 수가 동일한 것을 특징으로 하는 메모리 시스템.

【도면】

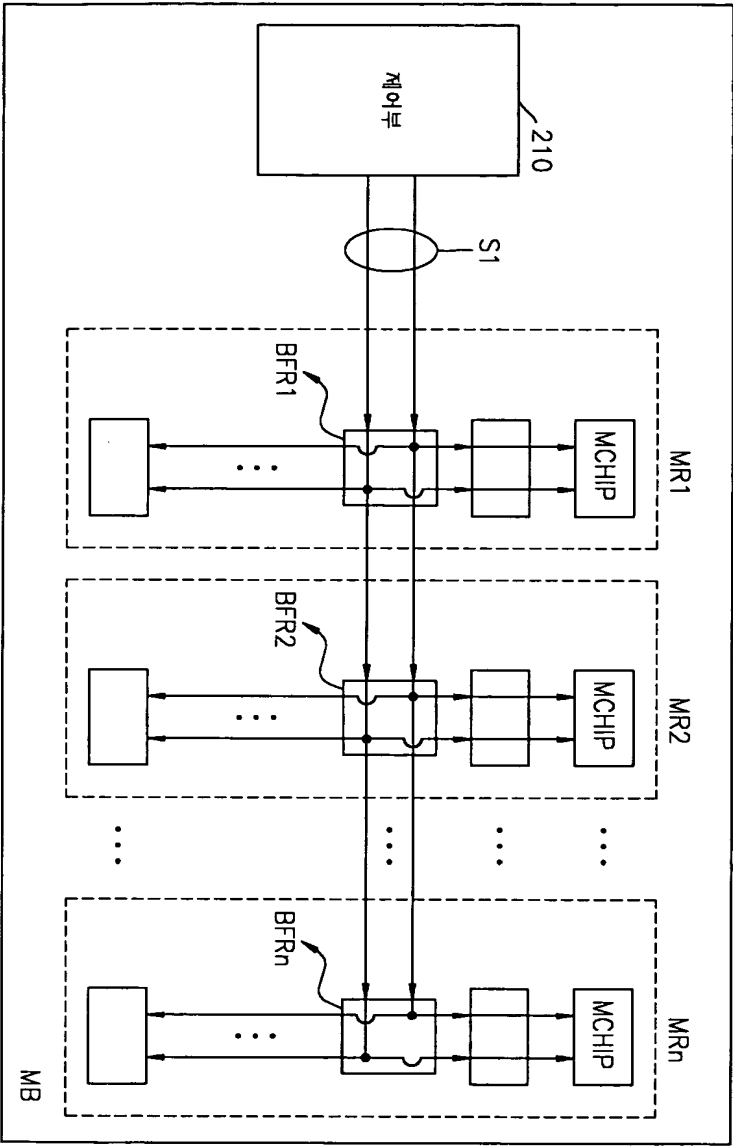
【도 1a】



【도 1b】

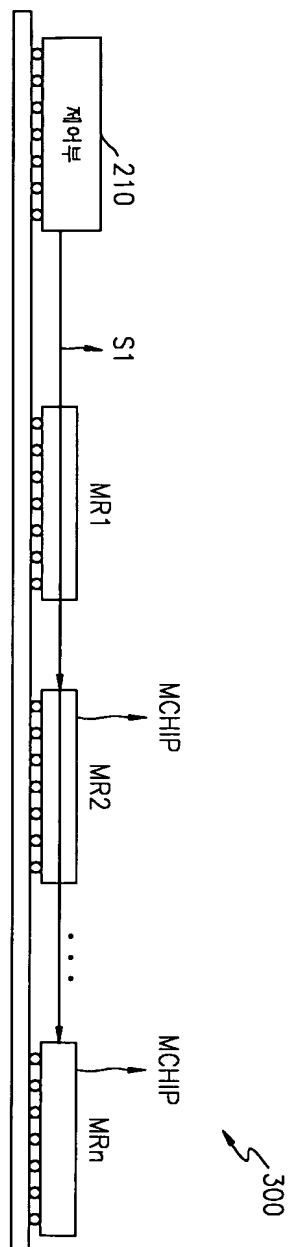


【도 2】

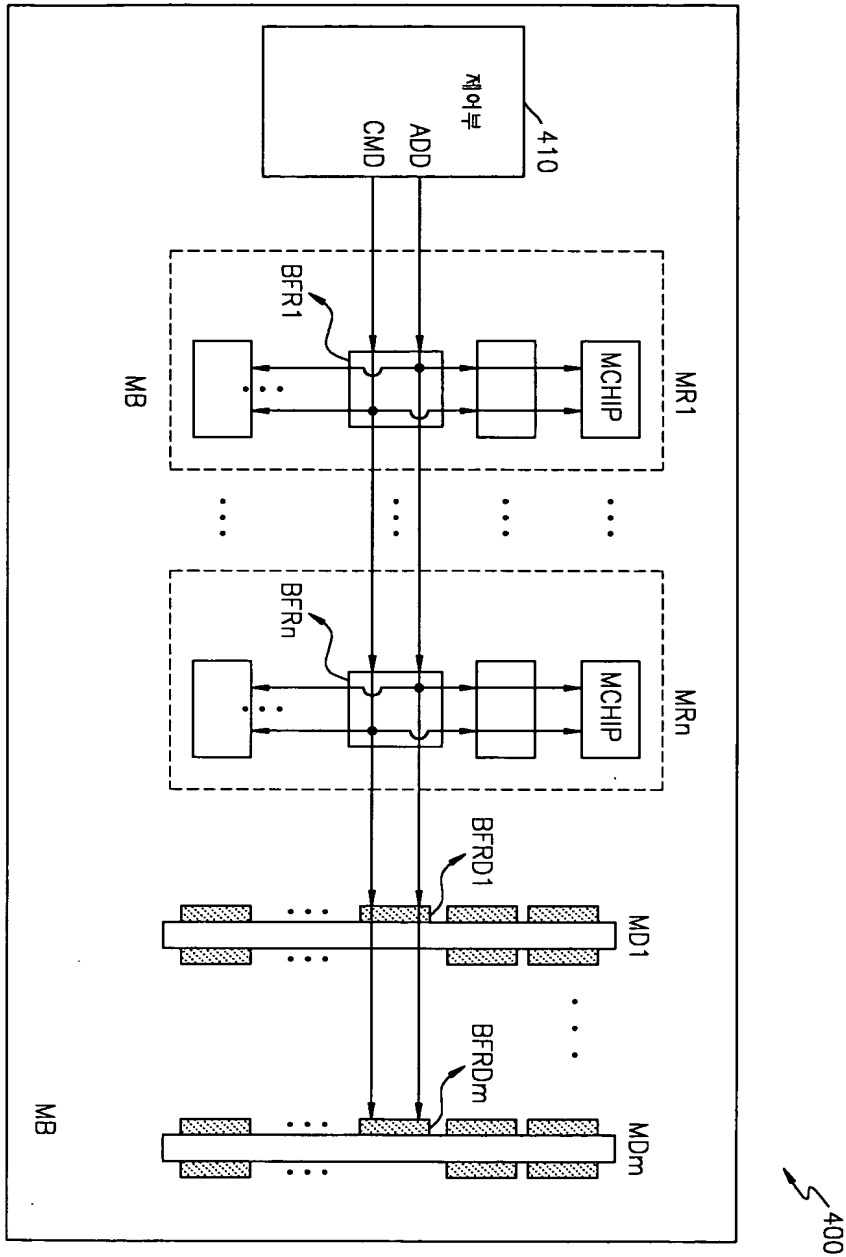


200

【도 3】



【도 4】



【도 5】

